

第5章 論理ゲートとバス記述

NS-Draw で利用可能な基本的な論理ゲートのサンプルライブラリが ns-tools¥example¥CHAPTER_5 (LOGIC&BUS)¥に用意されています。このフォルダ内の Gates.nsd はその一覧になっていますので、Gates.nsd を開いてください。

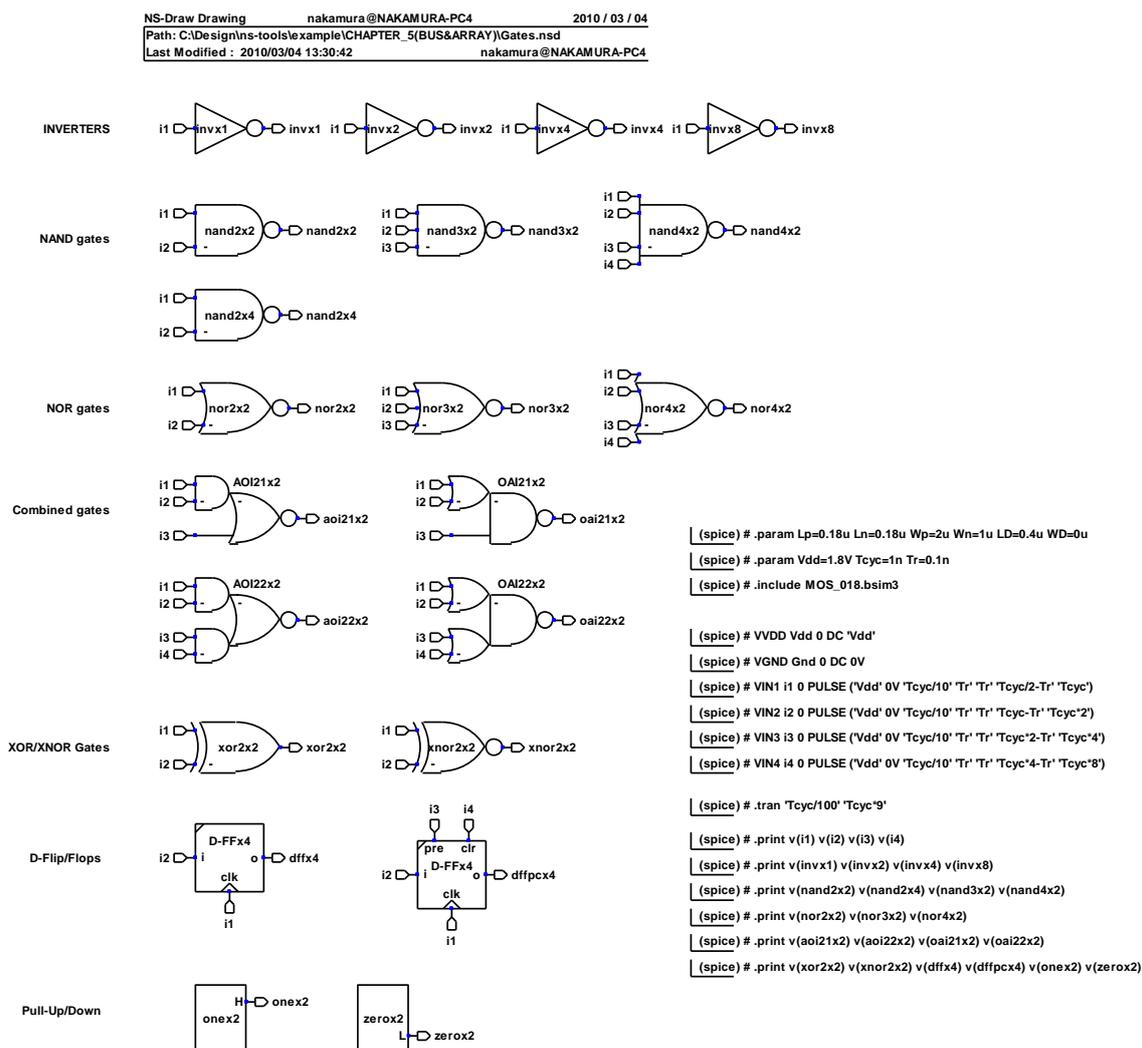


図1 基本ゲートのライブラリー一覧(Gates.nsd)

図1は、NS-Draw の回路図をクリップボード経由で文書にペーストしたものです。NS-Draw の回路図はベクトルデータとしてコピーされますので、他のソフトへ貼付けた後にグループ解除を行えば、図形編集をすることもできます。

このサンプルでは、インバータとして、サイズの異なるもの4種類、4入力までのNANDゲート、3入力までのNORゲート、4種類の複合ゲート、XOR, XNORゲート、d-F/F

(リセット無し、付き)、固定H/L出力ゲートの計21個の論理ゲートから構成されています。この Gates.nsd は、そのままシミュレーション可能で、その結果を図2に示します。

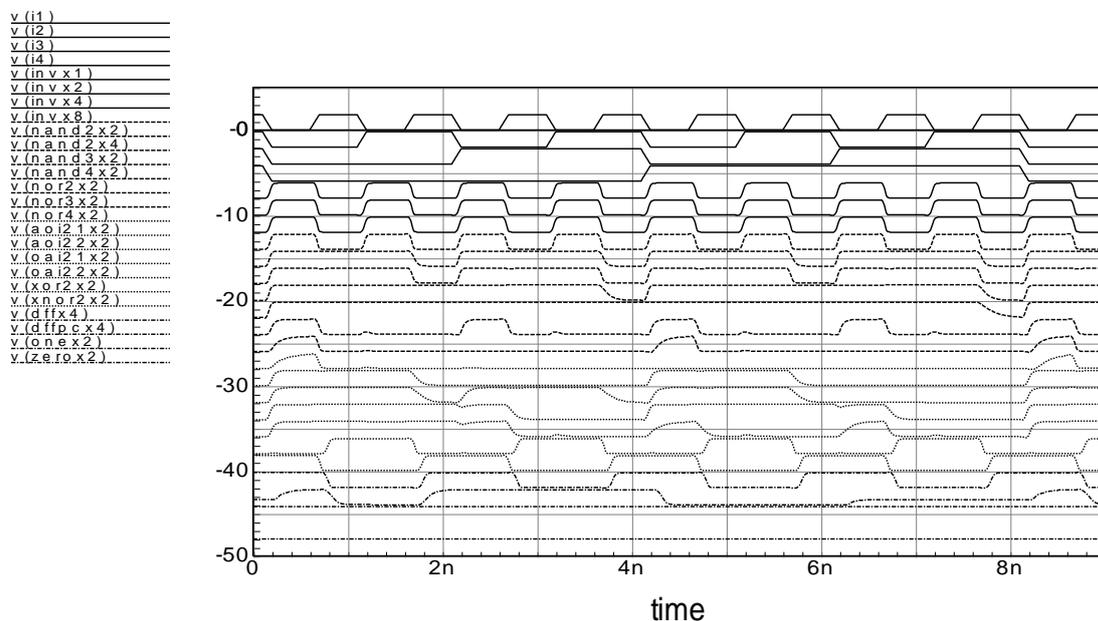


図2 Gates.nsd のシミュレーション結果

シミュレーション波形を参照して、各論理ゲートの動作が正しいことを確認してください。Gates.nsd 内の各論理ゲート内の各トランジスタのゲート幅は :Wp, Wn、ゲート長は Lp, Ln というパラメータ値を使って表現されているので、これらの各パラメータを .param 文で再定義し、.include するモデルファイル名を変更することで、異なるデザインルールのものにも容易に対応させることができると思います。また、後の章では、この Gates.nsd の基本ゲート群を用いて、HDL 記述から論理合成を行う方法も説明します。

次に、論理ゲートを使って書かれた self4b.nsd を開いてください。この回路はクロックに同期する信号バッファの4ビット分の回路になっていて、そのまま回路図を作成すると図3のような回路図とシンボル図になります。

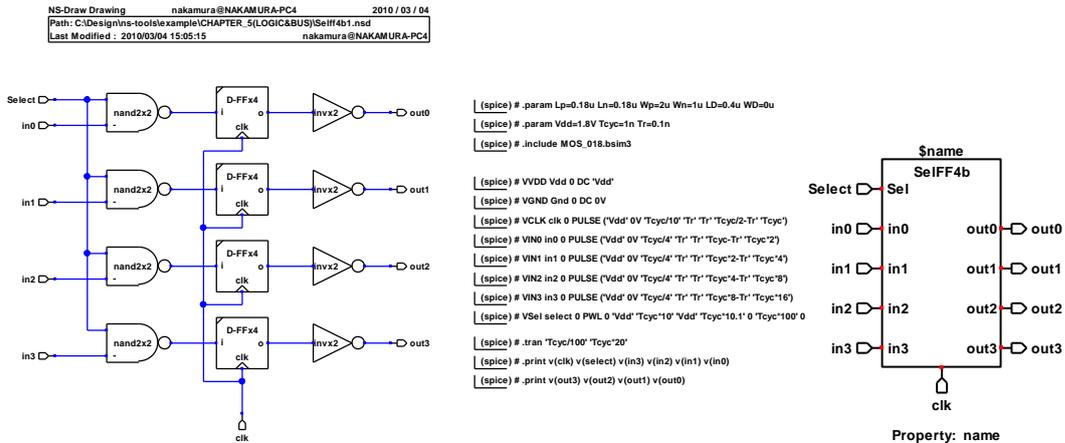


図3 バス記述を用いない回路の例 (selfff4b1.nsd)

ここでまず、端子のバス化を行います。例えば、図3では入力の端子名が in3, in2, in1, in0 となっていますが、これを図4のように in[3], in[2], in[1], in[0] と変更します。これにより、シンボル図側では、端子をまとめてバス化した in[3:0] という表現が可能になり、シンボル図が図4(b)のように簡略化できるようになります。

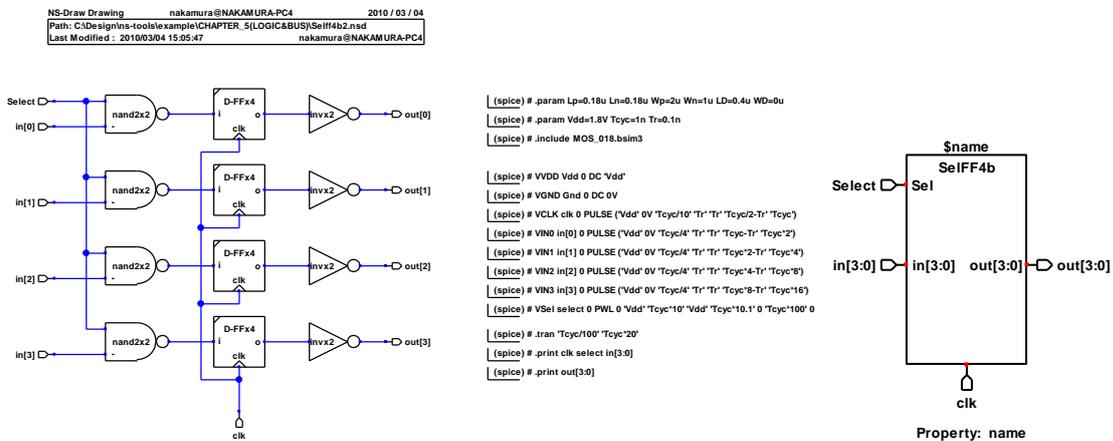


図4 端子をバス化した回路図 (selfff4b2.nsd)

次に、回路図のほうも、内部信号線のバス化と、回路のアレイ（配列）化を行って簡略化します。図5を参照してください。図5のインバータ回路においては、回路の名前が inv[3:0]、入力の信号線名は b[3:0] となっています。これは、インバータ回路が4個存在し、4個のインバータには、それぞれ、b[3], b[2], b[1], b[0]の信号が入力されることとなります。同様に出力はそれぞれ out[3], out[2], out[1], out[0]が接続されま

す。2入力 NAND 回路では、片方の入力は、select 信号 (1bit) なので、ここでは、4つに展開される NAND 回路の入力は共通に Select に接続されることになります。ここで、回路のアレイ数と、接続される信号線のバス幅は、一致しているか、あるいは 1bit のどちらかでなければなりません。(この条件を満たさない場合、ネットリスト出力時にバス幅不一致エラーが出力されます。) また信号線名が付与されていない信号線は、すべて 1bit 幅と解釈されるので、配列化された回路間の配線の部分には、図 5 の a[3:0] や b[3:0] のように必ずバス幅を明記した信号線名をつけてください。

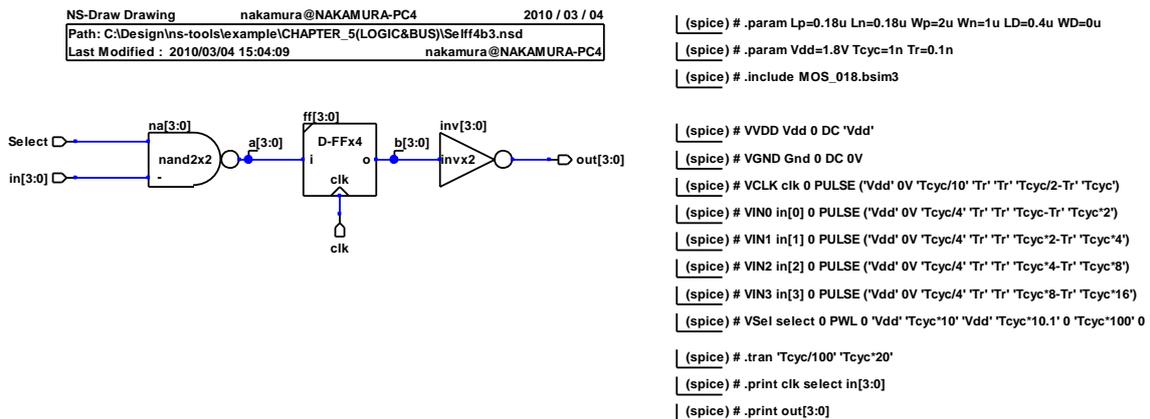


図 5 信号線のバス化と回路をアレイ化した回路図(selfff4b3.nsd)

以上、図 3、図 4、図 5 の回路はネットリスト出力すると、基本的に同一の回路になり、シミュレーションで確認すると、結果も同一であることがわかります。

次に、このバス化された I/O を持つシンボルをさらに上位の回路図で接続する場合がありますが、図 6 に示すように、回路の I/O とバス幅が同一になるように、上位でも信号線にバス幅を明示して接続する必要があります。バスは、a[7:4], a[3:0] のように分離して表現したり、a[0] のようにその中の 1 ビットだけを指定することもできます。図 6 (a) の回路図では、バスの分岐を説明するために、最上位 4 ビット側の最終段のインバータ部分を分離して表記しています。バス信号線から、一部を取り出す場合は、信号線を分離して、名前を付け分けることで行います。図 6(a) の回路図では、b[7:4] の信号を、名前を付け替えて b[7] と b[6:4] の 2 つに分離していますが、これらの間は配線 (青色) ではなく、図形描画の線 (黒) で結ばれていることに注意してください。同一の配線にバス幅の異なる 2 つの名前をつけるとエラーになりますので、ここでは、このようにして対処しています。

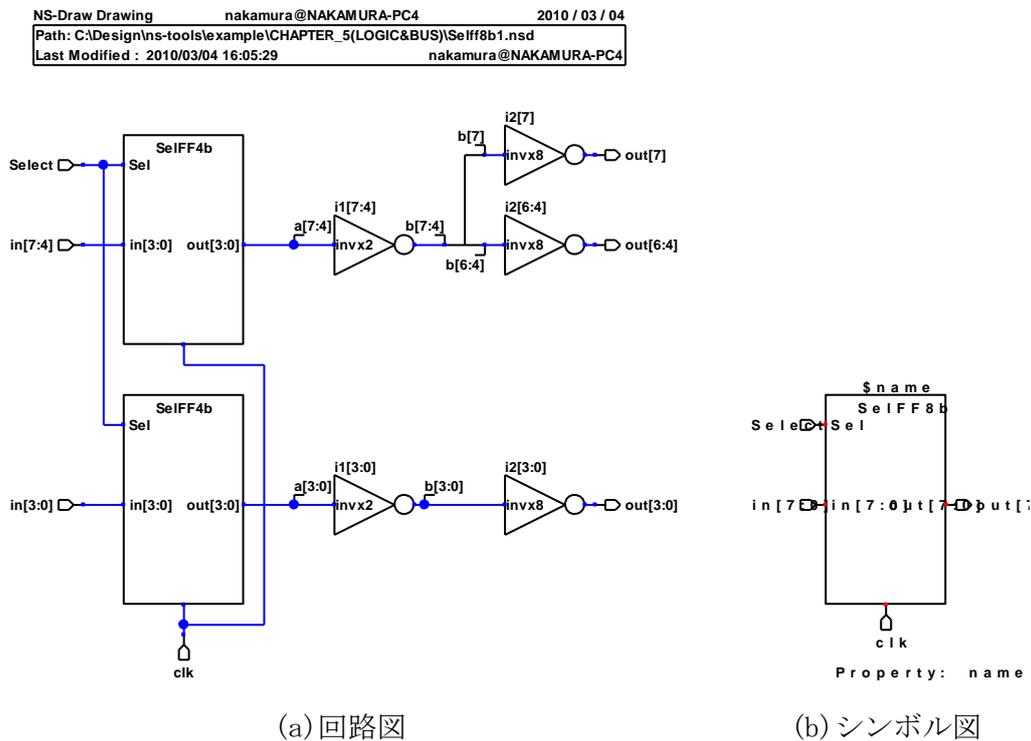


図 6 上位回路でのバスの接続例 1 (selfff8b1.nsd)

さらに、図 6 の回路を回路の阵列を使って表現すると、図 7 のような形にできます。

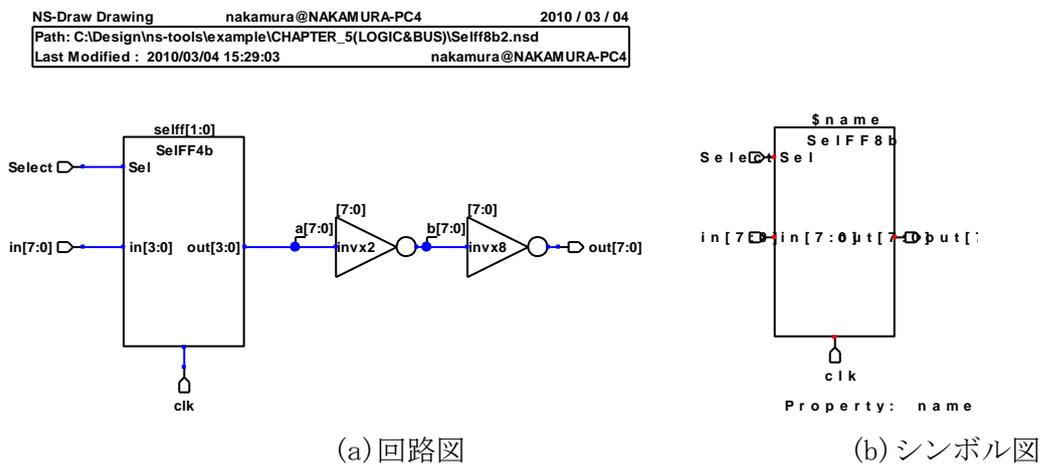


図 7 上位回路でのバスの接続例 2 (selfff8b2.nsd)