

第10章 パラメタライズド サブサーキット

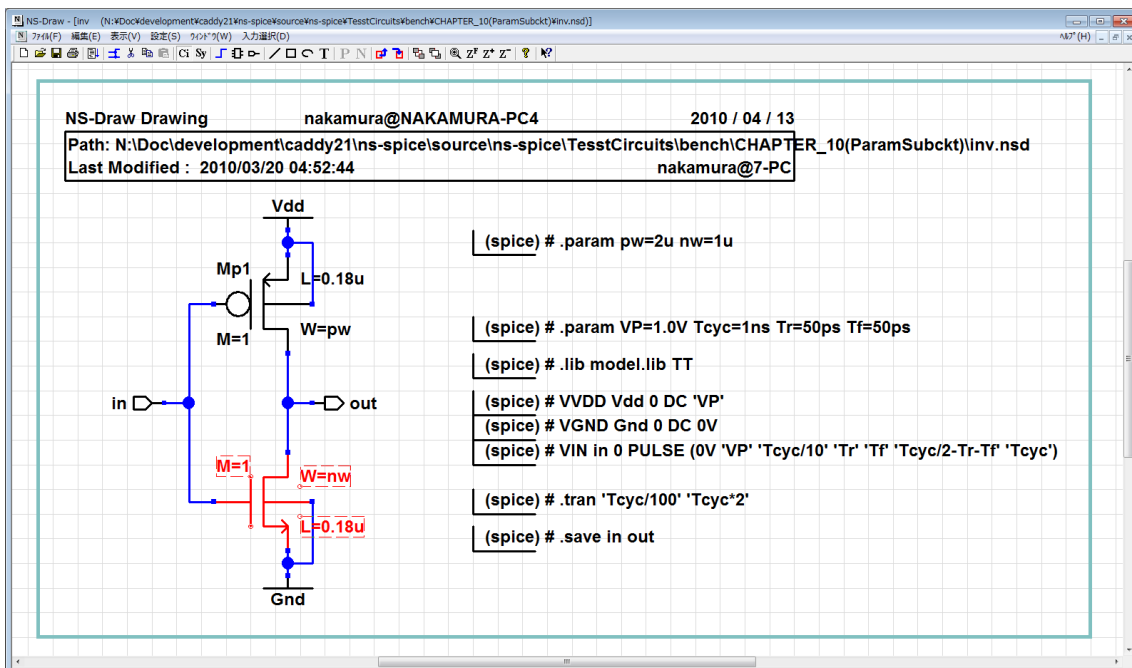


図1 インバータ回路図

Property	Value
name	
W	pw
L	0.18u
M	1
OK	キャンセル >>

図2 サブサーキット化された MOSFET のプロパティ

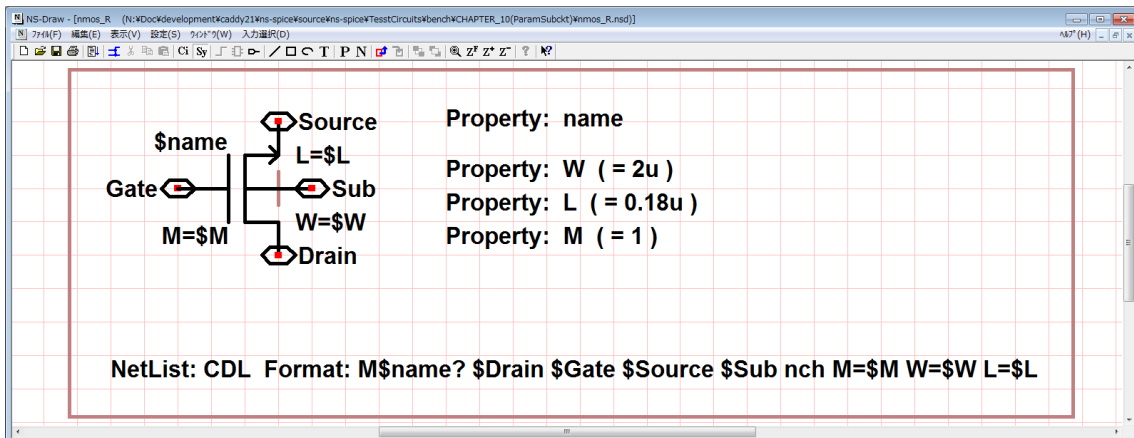


図3 サブサーキット化された MOSFET のシンボル図

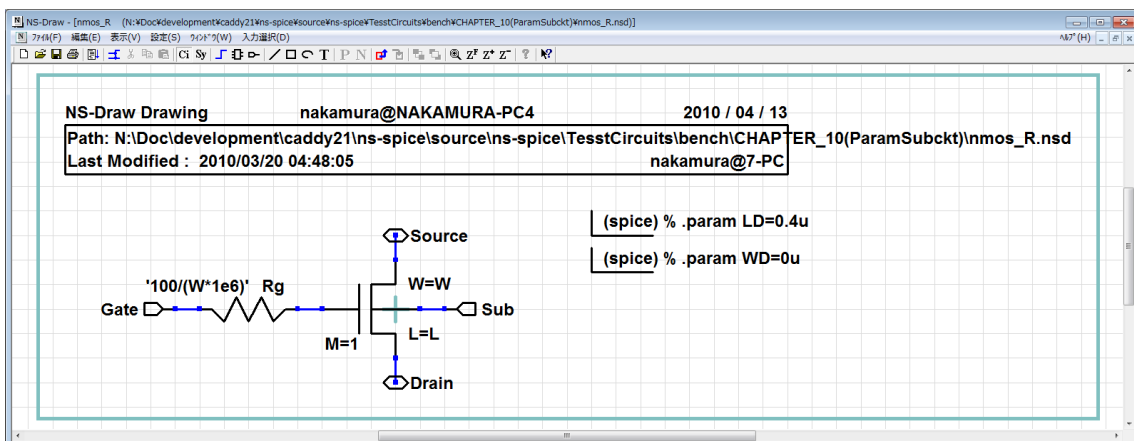


図4 サブサーキット化された MOSFET の回路図 (ゲート抵抗付き)

リスト1 SPICE ネットリスト

```

*****
* Top Level: inv
** (N:¥ ¥CHAPTER_10(ParamSubckt)¥inv.nsd)
*****
Xmp1 out Vdd Vdd in pmos_R W='pw' L='0.18u' M='1'
X0 out Gnd Gnd in nmos_R W='nw' L='0.18u' M='1'
.param pw=2u nw=1u
.param VP=1.0V Tcyc=1ns Tr=50ps Tf=50ps
.lib model.lib TT
VVDD Vdd 0 DC 'VP'
VGND Gnd 0 DC 0V
VIN in 0 PULSE (0V 'VP' 'Tcyc/10' 'Tr' 'Tf' 'Tcyc/2-Tr-Tf' 'Tcyc')
.tran 'Tcyc/100' 'Tcyc*2'
.save in out
*****
* SubCircuit: pmos_R
** (N:¥ ¥CHAPTER_10(ParamSubckt)¥pmos_R.nsd)

```

```

*****
.SUBCKT pmos_R Drain Sub Source Gate W='2u' L='0.18u' M='1'
Rg Gate net_1 '100/(W*1e6)'
MO Drain net_1 Source Sub pch M=1 W=W L=L AD='LD*(W-2*WD)'
+ AS='LD*(W-2*WD)' PD='2*(W-2*WD+LD)' PS='2*(W-2*WD+LD)'
+ NRD='LD/(W-2*WD)' NRS='LD/(W-2*WD)'
.param LD=0.4u
.param WD=0u
.ENDS
*****
* SubCircuit: nmos_R
** (N:¥ ¥CHAPTER_10(ParamSubckt)¥nmos_R.nsd)
*****
.SUBCKT nmos_R Drain Sub Source Gate W='2u' L='0.18u' M='1'
Rg Gate net_1 '100/(W*1e6)'
MO Source net_1 Drain Sub nch M=1 W=W L=L AD='LD*(W-2*WD)'
+ AS='LD*(W-2*WD)' PD='2*(W-2*WD+LD)' PS='2*(W-2*WD+LD)'
+ NRD='LD/(W-2*WD)' NRS='LD/(W-2*WD)'
.param LD=0.4u
.param WD=0u
.ENDS
.GLOBAL Vdd Gnd
.END

```

リスト2 シミュレーション実行結果

```

*****
** NS-Spice. Ver. Mar 18 2010 (Nanodesign Corp.) **
** For Single CPU Version **
** Free-Trial-Version valid until:Fri Oct 01 23:59:59 2010
** **
** includes : **
** Berkeley-Spice Version 3f5, BSIM3v3, BSIM4v6 **
** Copyright 1990-2008 Regents of the University of California **
*****
Job start at 15:30:12
----- Netlist Summary -----
Res : 2
MOSFET : 2
Vsrc : 3
-----+-----
Total : 7 devices
-----+-----
Analysis start at 15:30:12

>>Operationg Point(OP) Analysis Finished.
>>Transient Analysis in Progress :
Finished.

Total CPU Time = 0.296
Total elapsed time: 0.296 seconds.
Used Memory: 3.002 MB (Memory Limit: 674.042 MB)

```

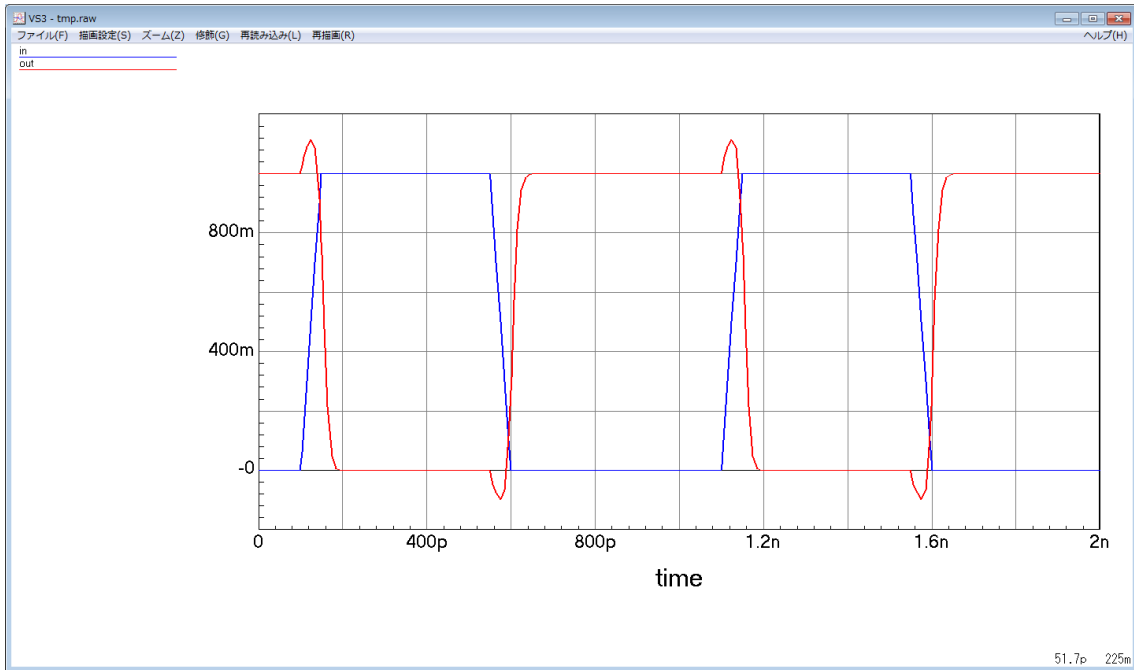


図5 シミュレーション結果

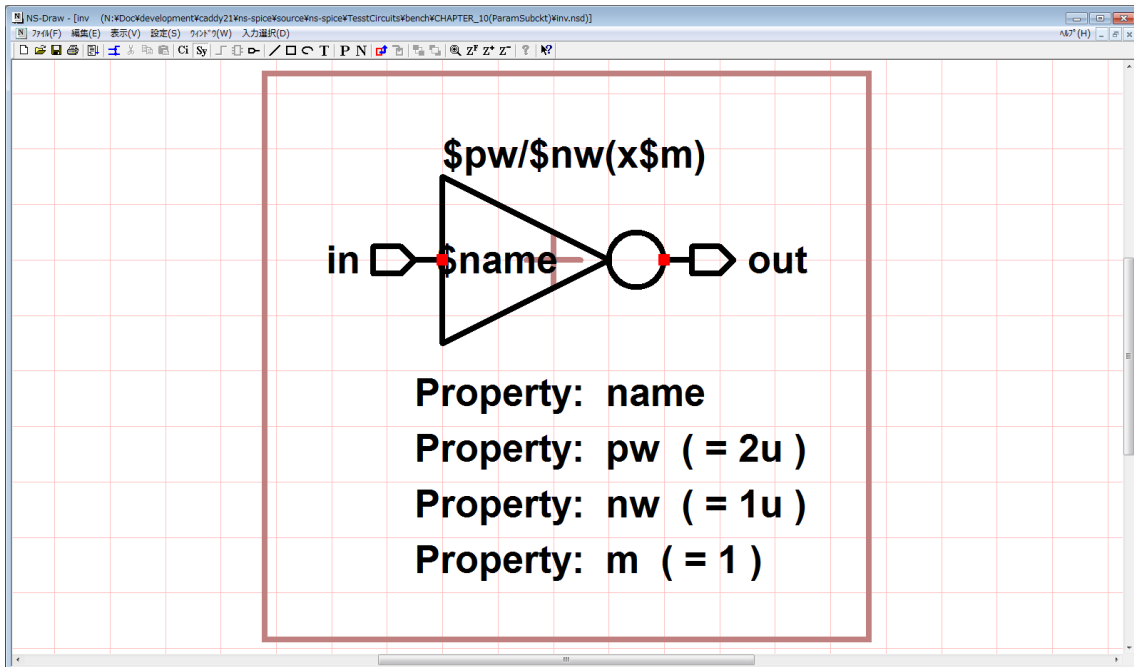


図6 インバータ (サブサーキット) へのプロパティの設定

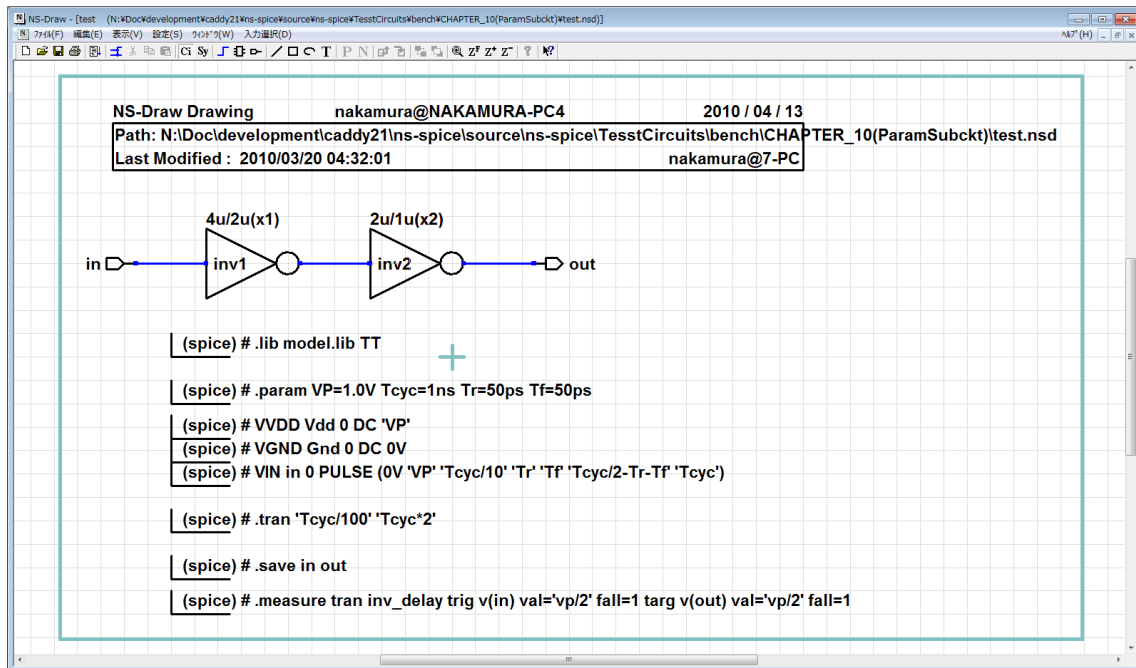


図7 パラメータを設定したインバータを呼び出した回路図